

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60062234 A**

(43) Date of publication of application: **10.04.85**

(51) Int. Cl. **H03K 19/00**
H03K 19/094

(21) Application number: **58168269**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(22) Date of filing: **14.09.83**

(72) Inventor: **OHASHI ISAO**
SHIN YASUHIRO

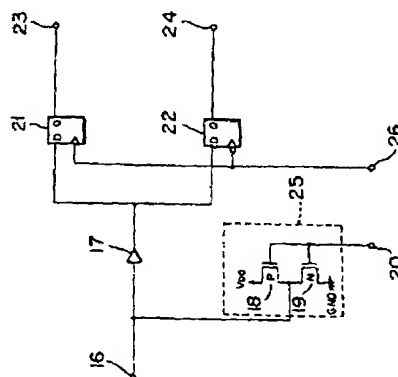
(54) **TRI-STATE INPUT CIRCUIT**

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract:

PURPOSE: To reduce power consumption, obtain tolerance to variation in source voltage, and widen an in-use source voltage range by deciding on an input state sequentially by a timing signal, and holding the result in a storage circuit and outputting it as a 2-bit binary signal.

CONSTITUTION: A signal input terminal 16 is connected to data input terminals of storage circuits 21 and 22 through a C-MOS buffer circuit 17 which decides an input signal as a digital signal. The terminal 16 is connected to the output of the CMOS inverter circuit 25 consisting of P channel MOSFET 18 and N channel MOSFET 19. The circuit 21 holds the output signal of the circuit 17 selectively with the next timing signal and sends it out to the 1st signal output part from a terminal 23. The circuit 22, on the other hand, holds the output signal of the circuit 17 selectively with the next timing signal or timing signal after the next timing signal, and sends it out to the 2nd signal output part from a terminal 24.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭60-62234

⑮ Int.Cl.⁴

H 03 K 19/00
19/094

識別記号

1 0 1

庁内整理番号

8326-5J
8326-5J

⑬ 公開 昭和60年(1985)4月10日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 三状態入力回路

⑯ 特 願 昭58-168269

⑰ 出 願 昭58(1983)9月14日

⑱ 発 明 者 大 橋 勲 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 発 明 者 真 康 博 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

三状態入力回路

2. 特許請求の範囲

(1) 第1 タイミング信号により信号入力端子に第1と第2の電源電位レベルを伝達する負荷手段としてのC-MOSインバータ回路と、信号入力端子の入力信号をディジタル信号に判定するC-MOSバッファ回路と、このC-MOSバッファ回路の出力信号を第2 タイミング信号により選択的に保持して第1信号出力部へ出力する第1記憶手段と、第2もしくは第3 タイミング信号により選択的に前記C-MOSバッファ回路の出力信号を保持して第2信号出力部へ出力する第2記憶手段とを具備してなる三状態入力回路。

(2) C-MOSインバータ回路を構成するPチャネルMOS FET及びNチャネルMOS FETのソース・ドレイン間が導通した時の抵抗値が数10 K Ω から数100 K Ω 程度の高抵抗であることを特徴とする特許請求の範囲第1項記載の三状態入

力回路。

3. 発明の詳細な説明

(技術分野)

この発明は三状態入力回路、特に、MOSトランジスタで構成され、かつ低消費電力、低電圧で動作する三状態入力回路に関するものである。

(従来技術)

三状態入力回路は、信号入力端子に“L”または“H”レベル信号が入力された状態又は信号入力端子の開放状態を判定して、2ビットバイナリ信号として出力するものである。この型の信号入力回路は、ディジタル集積回路の端子数を削減可能にするために極めて有効である。

従来のC-MOS構造の三状態入力回路を第1図に示す。この図において、信号入力端子1は抵抗10、11の各一端に接続されているとともに、NチャネルMOS FET 2およびPチャネルMOS FET 3のゲートにも接続されている。抵抗10の他端は、第1固定電源電位入力端子6に接続されている。この第1固定電源電位入力端子6

にはPチャンネルMOS FET 3のソースと抵抗4の一端も接続されている。抵抗4の他端はNチャンネルMOS FET 2のドレインに接続され、そのドレインは第2信号出力端子9に接続されている。PチャンネルMOS FET 3のドレインは、第1信号出力端子8に接続されるとともに、抵抗5の一端に接続されている。そして、抵抗5の他端とNチャンネルMOS FET 2のソースおよび抵抗11の他端は、第2固定電源電位入力端子7に接続されている。

第2図(a)は、NチャンネルMOS FET 2の電源電位12(たとえば5V)及びグランド電位13(たとえば0V)に対するスレッショルド電位14(たとえば1V)を示すものである。つまり、NチャンネルMOS FET 2は、スレッショルド電位14以上、電源電位12以下の斜線で示す電位がゲートに入力された時、ソース・ドレインが導通し、スレッショルド電位14以下、グランド電位13以上の電位がゲートに入力された時、ソース・ドレイン間が開放状態となる。

MOS FET 3はソース・ドレイン間が導通する。よつて、NチャンネルMOS FET 2のドレインは“H”レベルとなり、PチャンネルMOS FET 3のドレインも“H”レベルが生じ、これらのレベルが各々出力端子9及び8より出力される。

次に、信号入力端子1をオープン状態にすると、信号入力端子1には、抵抗10及び11からなる分圧回路により分圧された電圧が発生する。いま、抵抗10及び11の抵抗値が同程度(たとえば10KΩ～100KΩ程度)であるならば、分圧電圧として約2.5Vが得られる。そして、この2.5Vが前記NチャンネルMOS FET 2及びPチャンネルMOS FET 3のゲートへ入力される。2.5Vがゲートに入力された場合、第2図から明らかなように、PチャンネルMOS FET 3およびNチャンネルMOS FET 2のソース・ドレインは共に導通する。よつて、NチャンネルMOS FET 2のドレインには“L”レベルが生じ、PチャンネルMOS FET 3のドレインには“H”レベルが生じ、各々のレベルは第2および第1信号出力端子9、8より出力

される。第2図(b)は、PチャンネルMOS FET 3の電源電位12(たとえば5V)およびグランド電位13(たとえば0V)に対するスレッショルド電位15(たとえば4V)を示すものである。PチャンネルMOS FET 3は、スレッショルド電位15以下、グランド電位13以上の斜線で示す電位がゲートに入力された時、ソース・ドレイン間が導通し、スレッショルド電位15以上、電源電位12以下の電位がゲートに入力された時、ソース・ドレイン間が開放する。

以下、第2図に示す特性を有するNチャンネルMOS FET 2及びPチャンネルMOS FET 3を使用した従来の三状態入力回路の動作説明を行う。今、第1固定電源電位入力端子6へ+5V、第2固定電源電位入力端子7に0Vを加え、信号入力端子1へ“L”レベル(0V)を加えたとなると、NチャンネルMOS FET 2及びPチャンネルMOS FET 3のゲートが0Vとなるため、第2図の特性から明らかなように、NチャンネルMOS FET 2はソース・ドレイン間が開放し、Pチャンネル

される。

次に、信号入力端子1に“H”レベル(5V)を入力すると、NチャンネルMOS FET 2およびPチャンネルMOS FET 3の各々のゲートに“H”レベルが伝達されるため、第2図の特性により、NチャンネルMOS FET 2のソース・ドレインは導通し、PチャンネルMOS FET 3のソース・ドレインは開放となる。よつて、NチャンネルMOS FET 2のドレインは第2固定電源電位と導通して“L”レベルとなり、PチャンネルMOS FET 3のドレイン側も抵抗5を通して第2固定電源電位と接続されているため、やはり“L”レベルとなり、各々のレベルは第2及び第1信号出力端子9、8より出力される。

以上の関係をまとめると第1表のようになる。

第 1 表

入力レベル	第1信号出力端子	第2信号出力端子
“H”	L	L
オープン	H	L
“L”	H	H

この表より明らかなように、信号入力端子1へ入力される“H”、オープン、“L”レベルは2ビットバイナリ信号にアコードされて出力される。

しかし、上記従来の三状態入力回路には次のような欠点があつた。

(1) 信号入力端子1のいかなる状態においても常に電流が流れ、低消費電力を必要とする回路装置内では使用困難であつた。たとえば、第1固定電源電位入力端子6が6~16Vで数100 μ A程度の電流が流れる。

(2) 分圧回路を構成する抵抗10, 11は、部品点数を削減するため半導体基板表面に拡散して形成されるが、実際には、抵抗10, 11は、各々設計値を中心として同方向に変動しない。したがつて、分圧された電圧が変動するため、PチャンネルMOS FET 3及びNチャンネルMOS FET 2のソース・ドレイン間を共に導通させるバイアス電位が得にくい。

(3) P及びNチャンネルMOS FET 3, 2のスレッシュホールド電位(V_T)は製造工程上の条件により

変動するため、正確に設計値に一致させることが困難である。実際に、PチャンネルMOS FET 3の V_T はグラウンド電位を基準にして減少傾向にあり、NチャンネルMOS FET 2の V_T は電源電位を基準にして減少傾向にある。したがつて、信号入力端子1がオープン状態であることを判定する動作範囲が狭くなるため、誤動作の原因となる。特に、従来回路では、実用上、5V以下の電源電圧で動作させることは困難であつた。

(発明の目的)

この発明は前記の欠点を除去するために考えられたものであり、低消費電力化が行え、かつ製造工程中に生じるMOS FETのスレッシュホールド電圧 V_T の変動による誤動作を防止し得、さらに5V以下の低電源電位でも安定に動作する三状態入力回路を提供することを目的とする。

(発明の概要)

すなわち、この発明の三状態入力回路は、タイミング信号により順次周期的に入力状態を判定し、その結果を記憶手段に保持した後、2ビットバイ

ナリ信号として出力することを特徴とする。

(実施例)

以下、この発明の一実施例を図面を参照して説明する。第3図はこの発明の一実施例であり、信号入力端子16は、入力信号をディジタル信号に判定するC-MOSバッファ回路(以下、単にバッファという)17を通して第1のデータフリップフロップ回路(以下D-FFと略す)21と第2のデータフリップフロップ回路(以下D-FFと略す)22のデータ入力端に接続される。又、信号入力端子16は、PチャンネルMOS FET(以下P-MOSと略す)18とNチャンネルMOS FET(以下N-MOSと略す)19により構成されたC-MOSインバータ回路25の出力に接続されている。P-MOS 18のソースは V_{DD} (高電源電位)に、ドレインは、N-MOS 19のドレインとともにC-MOSインバータ回路25の出力となり、N-MOS 19のソースはGND(低電源電位)に接続され、P-MOS 18とN-MOS 19のゲートは共に第1制御信号入力端子20に接続されている。又、第

1および第2記憶手段としての前記D-FF 21, 22のクロック入力端子は共に第2制御信号入力端子26に、又、D-FF 21, 22のQ出力端は、各々、第1信号出力端子(第1信号出力部)23と第2信号出力端子(第2信号出力部)24に接続されている。

第4図(a)および(b)は、第3図の第1制御信号入力端子20と第2制御信号入力端子26に入力するタイミング信号(第1および第2タイミング信号)を示す。以下、第4図の信号波形図を参照して第3図の三状態入力回路の動作について説明する。

今、 V_{DD} (高電源電位)に+5V, GND(低電源電位)に0Vを加え、信号入力端子16に“L”レベル(0V)を加えたとする。この状態の時に第1, 第2制御信号入力端子20, 26に第4図(a), (b)のタイミング信号を入力すれば、次のように動作する。

まず、第4図(a)のC1区間では、第1制御信号入力端子20に“L”レベルが入力されているため、

C-MOSインバータ回路25は、P-MOS18のソース・ドレインが導通し、N-MOS19のソース・ドレイン間は開放している。よつて、C-MOSインバータ回路25の出力すなわち信号入力端子16に“H”レベル(V_{DD} 電位)が出力されようとする。しかし、P-MOS18のソース・ドレイン間の抵抗値が高く(数10K Ω ~数100K Ω)、信号入力端子16に入力されている“L”レベル(0V)のインピーダンスが低い(数K Ω)場合には、P-MOS18のソース・ドレイン間で電圧降下を起し、信号入力端子16は“L”レベル(0V)に保たれる。

この信号入力端子16の“L”レベルは、バッファ17を通してD-FF21, 22のデータ入力端に伝達されている。そして、第1制御信号入力端子20の“L”レベルが“H”レベルになる直前に第2制御信号入力端子26が“L”レベルから“H”レベルに立ち上がるとすれば、この前縁で、D-FF21は、データ入力端に入力されているデータ信号を読み込んでQ出力端より出力するため、第1

信号出力端子23は“L”レベルになる。

次に、第1制御信号入力端子20に“H”レベルが入力される第4図のC2区間では、C-MOSインバータ回路25は、P-MOS18のソース・ドレイン間が開放し、N-MOS19のソース・ドレイン間は導通する。このため、C-MOSインバータ回路25の出力すなわち信号入力端子16に“L”レベル(GND電位)が出力される。この時、信号入力端子16には“L”レベル(0V)が入力されている。このため、信号入力端子16は、全く電流が流れることなく“L”レベルを保つことになる。

この信号入力端子16の“L”レベルは、バッファ17を通してD-FF21, 22のデータ入力端に伝達されている。そして、第1制御信号入力端子20の“H”レベルが“L”レベルに変わる直前で第2制御信号入力端子26が“H”レベルから“L”レベルに立ち下がるとすれば、この後縁で、D-FF22は、データ入力端に入力されているデータ信号を読み込んでQ出力端より出力するため、

第2信号出力端子24は“L”レベルになる。

次に、信号入力端子16をオープンにした状態で、第1および第2制御信号入力端子20, 26に第4図(a), (b)なるタイミング信号を入力すれば以下のように動作する。

まず、第4図(a)のC1区間では、第1制御信号入力端子20に“L”レベルが入力されているため、C-MOSインバータ回路25は、P-MOS18のソース・ドレインが導通し、N-MOS19のソース・ドレイン間は開放している。よつて、C-MOSインバータ回路25の出力すなわち信号入力端子16に“H”レベル(V_{DD} 電位)が出力される(この状態では電流が全く流れない)。

この信号入力端子16の“H”レベルは、バッファ17を通してD-FF21, 22のデータ入力端に伝達されている。そして、第1制御信号入力端子20の“L”レベルが“H”レベルに変わる直前に第2制御信号入力端子26の“L”レベルが“H”レベルに立ち上がるため、この前縁で、D-FF21は、データ入力端に入力されているデータ信号を

読み込んで出力するため、第1信号出力端子23は“H”レベルとなる。

次に、第1制御信号入力端子20に“H”レベルが入力される第4図のC2区間では、C-MOSインバータ回路25は、D-MOS18のソース・ドレイン間が開放し、N-MOS19のソース・ドレイン間が導通する。このため、C-MOSインバータ回路25の出力すなわち信号入力端子16は、“L”レベル(GND電位)となる(この状態でも電流は全く流れない)。

信号入力端子16の“L”レベルは、バッファ17を通してD-FF21, 22のデータ入力端に伝達される。そして、第1制御信号入力端子20の“H”レベルが“L”レベルに変わる直前で第2制御信号入力端子26が“H”レベルから“L”レベルに立ち下がるとすれば、この後縁で、D-FF22は、データ入力端に入力されているデータ信号を読み込んで出力するため、第2信号出力端子24は“L”レベルとなる。

最後に、信号入力端子16に“H”レベルを入力

し、第1および第2制御信号入力端子20, 26に第4図(a), (b)なるタイミング信号を入力すれば以下のように動作する。

まず、第4図(a)のC1区間では、第1制御信号入力端子20に“L”レベルが入力されているため、C-MOSインバータ回路25は、P-MOS18のソース・ドレイン間が導通し、N-MOS19のソース・ドレイン間が開放となる。このため、C-MOSインバータ回路25の出力すなわち信号入力端子16に“H”レベル(V_{DD} 電位)が出力される。この時、信号入力端子16には“H”レベルが入力されている。このため、信号入力端子16は、全く電流が流れることなく“H”レベルを保つこととなる。

この信号入力端子16の“H”レベルは、バッファ17を通してD-FF21, 22のデータ入力端に伝達される。そして、第1制御信号入力端子20の“L”レベルが“H”レベルに変わる直前に第2制御信号入力端子26の“L”レベルが“H”レベルに立ち上がるため、この前縁で、D-FF21は、データ入力端に入力されているデータ信号を読み込んで出力するため、

は、データ入力端に入力されているデータ信号で読み込んで出力するため、第2信号出力端子24は“H”レベルとなる。

以上の入出力関係をまとめると第2表のようになる。

第 2 表

入力レベル	第1信号出力端子	第2信号出力端子
H	H	H
オープン	H	L
L	L	L

この表から明らかなように、信号入力端子16へ入力される“H”、“オープン”、“L”レベルは、デコードされて、2つの信号出力端子23, 24より出力される。

なお、以上の説明では、P-MOS18, N-MOS19のソース・ドレインが導通した時の抵抗値を大きい(数10K Ω ～数100K Ω 程度)としたが、この抵抗値を下げ(数K Ω)て、C-MOSインバータ回路の出力から信号入力端子間に高抵抗(数10

第1信号出力端子23は“H”レベルとなる。

次に、第1制御信号入力端子20に“H”レベルが入力される第4図のC2区間では、C-MOSインバータ回路25は、P-MOS18のソース・ドレイン間が開放し、N-MOS19のソース・ドレイン間が導通する。このため、C-MOSインバータ回路25の出力すなわち信号入力端子16は、“L”レベル(GND電位)が出力されようとする。しかし、N-MOS19のソース・ドレイン間の抵抗値が高く(数10K Ω ～数100K Ω)、信号入力端子16に入力されている“H”レベルのインピーダンスが低い(数K Ω)場合には、N-MOS19のソース・ドレイン間で電圧降下を起こし、信号入力端子16は“H”レベルに保たれる。

この信号入力端子16の“H”レベルは、バッファ17を通してD-FF21, 22のデータ入力端に伝達される。そして、第1制御信号入力端子20が“H”レベルから“L”レベルに変わる直前で第2制御信号入力端子26が“H”レベルから“L”レベルに立ち下がるとすれば、この後縁で、D-FF22

K Ω ～数100K Ω 程度)を入れても良い(信号入力端子16からは、高抵抗負荷としてのC-MOSインバータ回路となる)。

又、記憶手段としてのD-FFの読み込み用パルス信号をD-FF21, 22とも共通化し、前縁と後縁で読み込むようにしたが、第2および第3タイミング信号の2つの読み込み用パルス信号を用いてD-FF21と22を各々別々に制御してもかまわない。ただ、C-MOSインバータ回路のゲート信号が切り替わる直前に、2つのD-FFは、データ入力端信号をそれぞれ交互に読み込む必要がある。

しかして、以上のような三状態入力回路によれば、以下のような利点がある。

(1)従来回路のように入力のオープン状態を判定するために必要な分圧回路を必要としないこと、および、この入力回路においてはC-MOSインバータ回路25を使用するため、P-MOS18, N-MOS19が同時に導通し続けることがないため、数10 μ W程度の極めて低消費電力で動作が可能

となる。なお、この入力回路において、記憶手段としてのデータフリップフロップ回路21, 22及びタイミング信号を発生する回路を必要とするが、これらは、C-MOSゲート回路で構成できるため、数10 μ A程度の動作電流しか消費しない。したがって、入力回路全体の消費電力増加にほとんど影響を与えない。

(2) この三状態入力回路は、C-MOSインバータ回路25、バッファ17の V_T を厳しく設定する必要がないため、電圧変動に強く、従来回路より広い範囲(3V \sim 16V)、特に低電圧で使用できる。又、製造歩留りを大幅に改善できる。

(発明の効果)

以上説明したように、この発明の三状態入力回路によれば、タイミング信号により順次周期的に入力状態を判定し、その結果を記憶手段に保持した後、2ビットバイナリ信号として出力するようにしたので、低消費電力化がはかれ、かつ電源電圧変動に強く、しかも使用電源電圧範囲も広がる。この発明の三状態入力回路は、端子数削減を

必要とする大規模集積回路において特に有効である。

4. 図面の簡単な説明

第1図は従来の三状態入力回路を示す回路図、第2図は第1図の回路で用いるMOS FETの電源電位及びグランド電位に対するスレッショルド電圧を示す特性図、第3図はこの発明による三状態入力回路の一実施例を示す回路図、第4図は第3図の回路で用いるタイミング信号の波形図である。

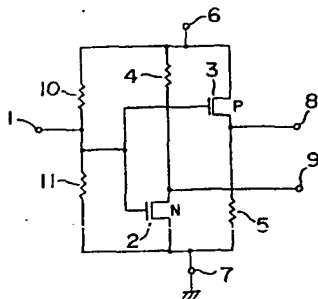
16…信号入力端子、17…C-MOSバッファ回路、18…PチャンネルMOS FET、19…NチャンネルMOS FET、20…第1制御信号入力端子、21, 22…第1, 第2のデータフリップフロップ回路、23…第1信号出力端子、24…第2信号出力端子、25…C-MOSインバータ回路、26…第2制御信号入力端子。

特許出願人 沖電気工業株式会社

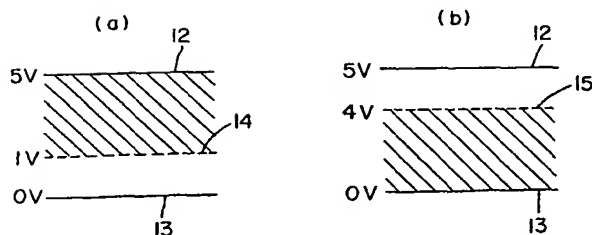
代理人 弁理士 菊 池



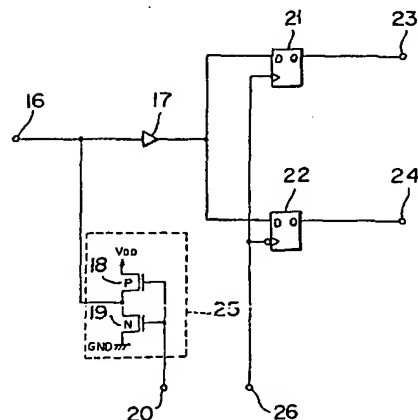
第 1 図



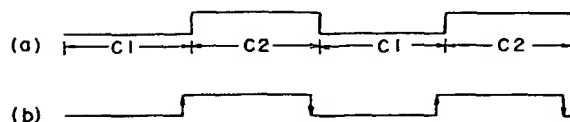
第 2 図



第 3 図



第 4 図



手 続 補 正 書

特開昭60- 62234(7)

昭和59年6月12日

特許庁長官若 杉 和 天 殿

1. 事件の表示

昭和58年 特 許 願 第 1 6 8 2 6 9 号

2. 発明の名称

三状態入力回路

3. 補正をする者

事件との関係 特 許 出願人

(029) 沖電気工業株式会社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第1255号
弁理士 菊 池 弘
コード第6568号 電話 591-3065・501-2453

5. 補正命令の日付 昭和 年 月 日 (自発)

6. 補正の対象

明細書の発明の詳細な説明の欄

7. 補正の内容

~~明細書の通称~~

- 1) 明細書14頁5行「D-MOS」を「P-MOS」
と訂正する。